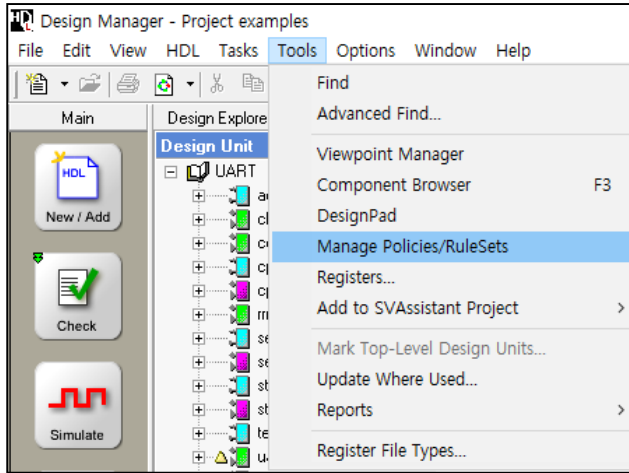
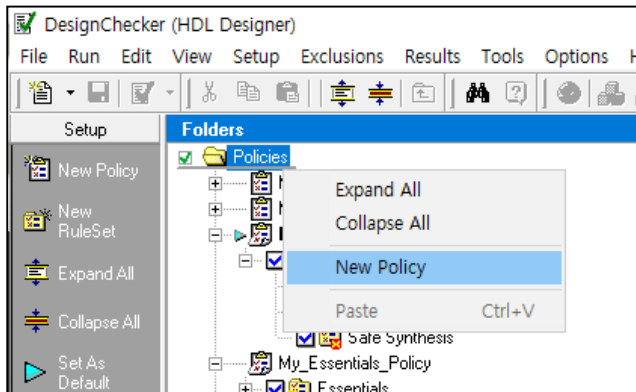


유저가 Policy 를 설정하는 방법은 다음과 같습니다.

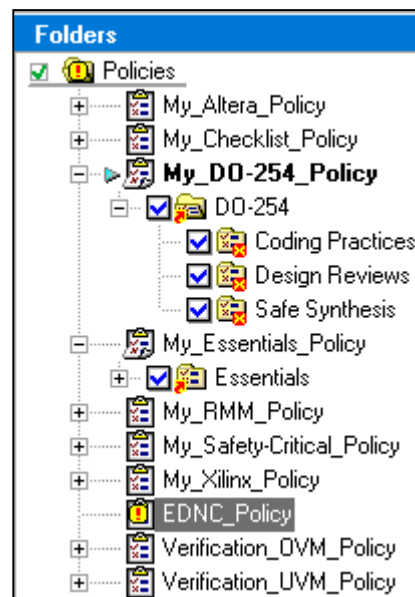
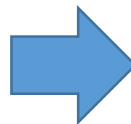
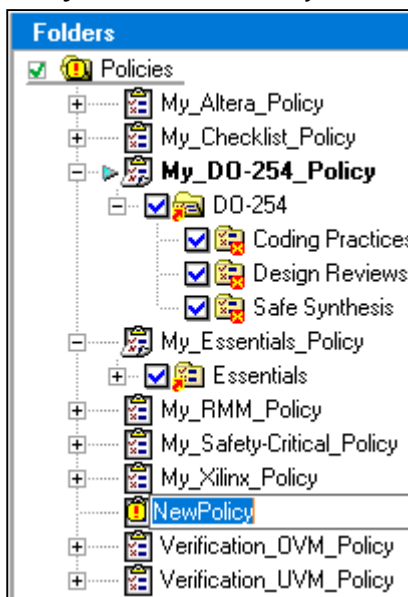
Tools > Manage Policies/RuleSets 선택



Folders > Policies(Right Mouse Button) > New Policy 선택

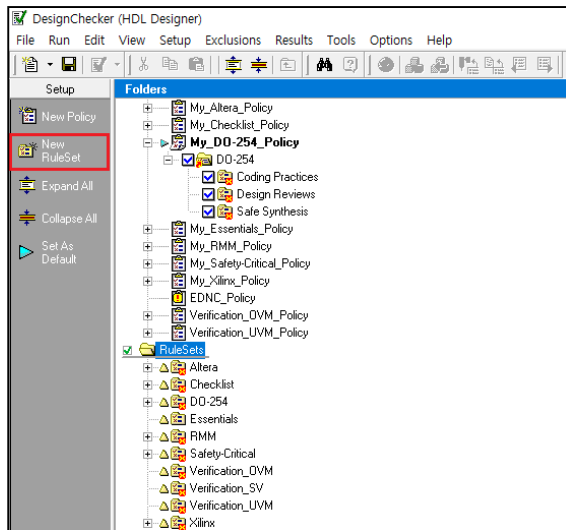


Policy 명(ex. EDNC_Policy)을 설정

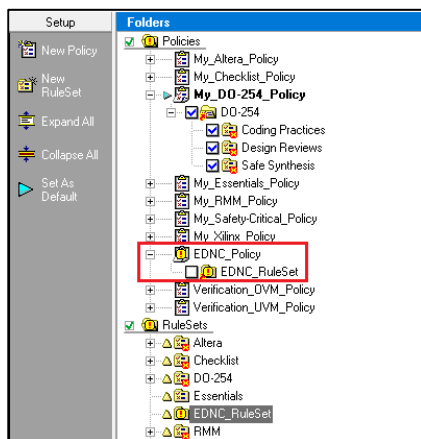


EDNC_Policy 는 새로 생성되었기 때문에 Content 가 비어있는 상태입니다.

Folders > RuleSets 를 선택 후 **Setup > New RuleSet** 를 선택합니다.

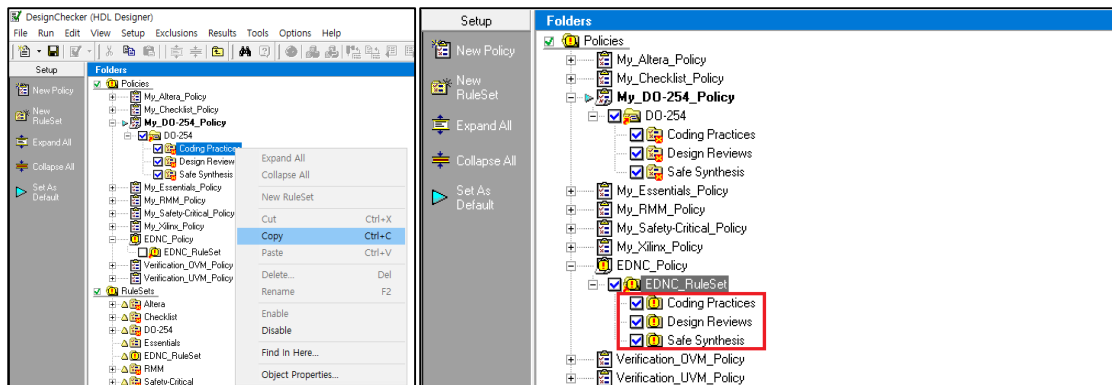


새로 생성한 **RuleSet** 명을 지정 후 생성한 **Policy**(ex.EDNC_Policy)에 **Copy/Paste** 합니다.

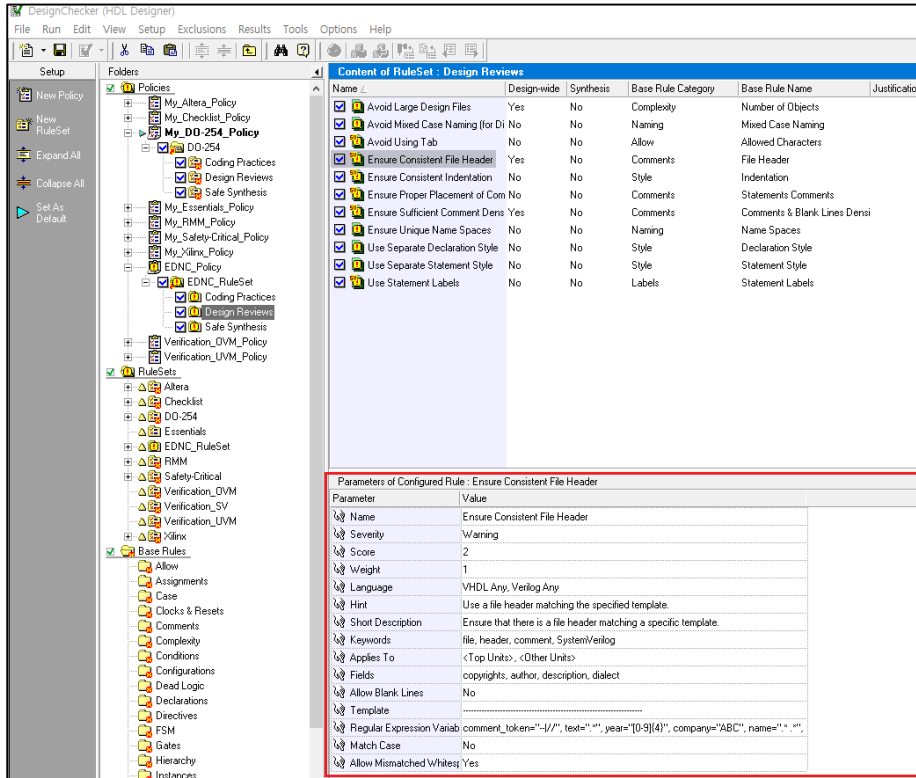


EDNC_RuleSet 에 DO-254 Ruleset 을 Copy/Paste 합니다.

-Coding Practices, Design Reviews, Safe Synthesis



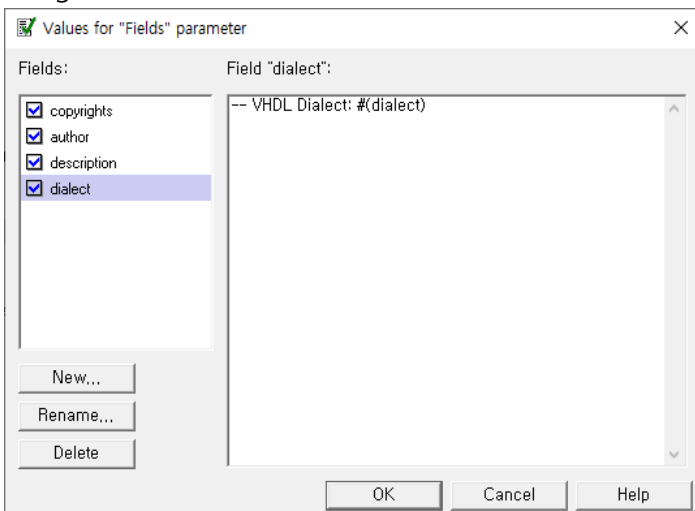
기존에 있는 My_DO-254_Policy 의 경우 Parameter 를 사용자가 편집할 수 없습니다. 하지만 Policy 를 새로 생성하면 사용자에게 맞게 Rule 의 Parameter 를 수정할 수 있기 때문에, HDL Designer 의 DesignChecker 를 100% 하기 위해서는 반드시 사용자에게 맞게 Parameter 를 수정 후 진행하셔야 합니다.



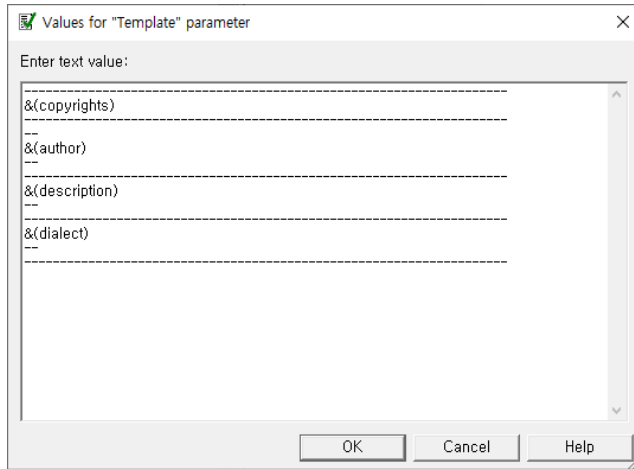
예를 들어 Design Reviews 에 포함된 Ensure Consistent File Header 의 Parameter 를 살펴보겠습니다.

중요한 부분은 Fields 와 Template 그리고 Regular Expression Variables 입니다.

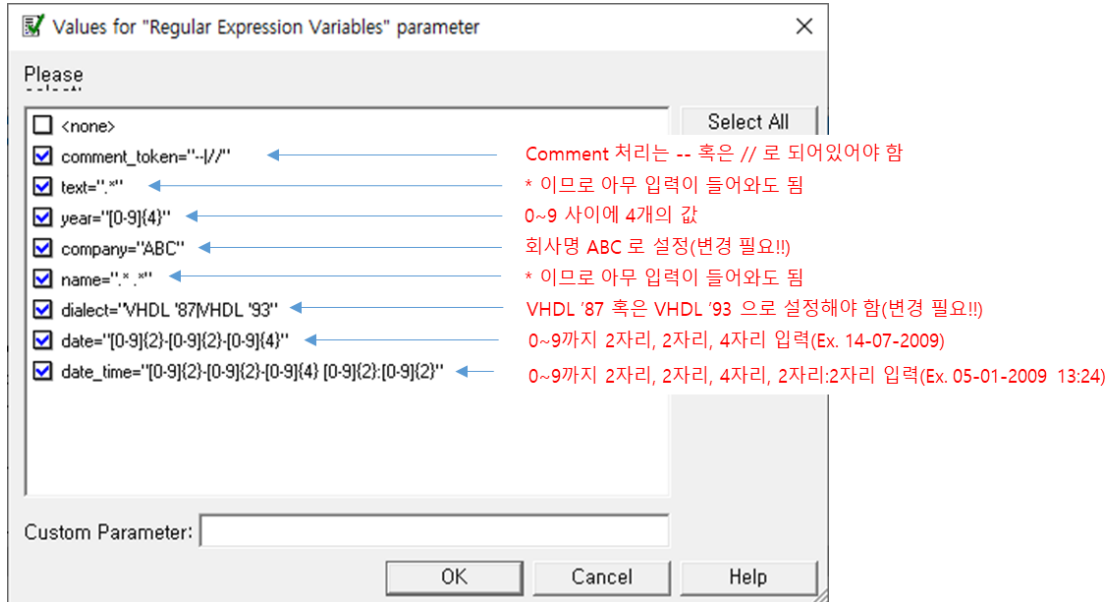
Fields 를 더블 클릭하여 살펴보면, 4 가지(copyrights, author, description, dialect) Field 를 통해 DesignChecker 를 진행하고 있으며, 코딩 양식을 확인 할 수 있습니다.



Template 를 보면 -- 로 처리가 되어있는데, Verilog 의 경우 주석처리는 // 로 해야 하기 때문에 수정이 필요합니다.



Regular Expression Variables 를 살펴보면 아래와 같습니다.



Verilog 유저 인 경우 VHDL 로 설정할 수 없기 때문에, Parameter 를 수정해야 해야 합니다. 수정 후 저장 및 Set as Default 설정 후 검사를 진행하시면 됩니다.

