## 유저가 Policy 를 설정하는 방법은 다음과 같습니다.

## Tools > Manage Policies/RuleSets 선택



Folders > Policies(Right Mouse Button) > New Policy 선택



## Policy 명(ex. EDNC\_Policy)을 설정





EDNC\_Policy 는 새로 생성되었기 때문에 Content 가 비어있는 상태입니다. Folders > RuleSets 를 선택 후 Setup > New RuleSet 를 선택합니다.



새로 생성한 RuleSet 명을 지정 후 생성한 Policy(ex.EDNC\_Policy)에 Copy/Paste 합니다.



EDNC\_RuleSet 에 DO-254 Ruleset 을 Copy/Paste 합니다.



-Coding Practices, Design Reviews, Safe Synthesis

기존에 있는 My\_DO-254\_Policy 의 경우 Parameter 를 사용자가 편집할 수 없습니다. 하지만 Policiy 를 새로 생성하면 사용자에 맞게 Rule 의 Parameter 를 수정할 수 있기 때문에, HDL Designer 의 DesignChecker 를 100% 하기 위해서는 반드시 사용자에 맞게 Parameter 를 수정 후 진행하셔야 합니다.

M DesignChecker (HDL Designer)										
File Run Edit	View S	etup Exclusions Results	Tools O	ptions Help						
🏠 🕶 🖬   🛒	-   <mark>%</mark> E	<b>b @</b>   ≢ ≑  <b>E</b>  ]	<b>m</b> 🕄	• <b>* *</b> * * *	<b>B</b>					
Setup	Folders		4	Content of RuleSet : Des	sign Revie	ws				
1 New Policy	🗾 🛄 P	olicies	^	Name ∠		Design-wide	Synthesis	Base Rule Category	Base Rule Name	Justification
		My_Altera_Policy		🗹 🛄 Avoid Large Design Fil	les	Yes	No	Complexity	Number of Objects	
BuleSet		My_Lhecklist_Policy		🗹 🛄 Avoid Mixed Case Nar	ning (for Di	No	No	Naming	Mixed Case Naming	
+		- M 📾 DD-254_Folicy		🗹 🗓 Avoid Using Tab		No	No	Allow	Allowed Characters	
📮 Expand All		Coding Practice	5	🗹 🗓 Ensure Consistent File	Header	Yes	No	Comments	File Header	
📥 Collapse All		🛛 🔀 Design Reviews		🗹 🗓 Ensure Consistent Inde	entation	No	No	Style	Indentation	
Condpose Mil		🔄 🖂 📴 Safe Synthesis		🗹 🗓 Ensure Proper Placem	ent of Com	No	No	Comments	Statements Comments	
Set As Default	÷	My_Essentials_Policy		🗹 过 Ensure Sufficient Com	ment Dens	Yes	No	Comments	Comments & Blank Lines De	nsi
L'erduit.		My_HMM_Policy		🗹 🧕 Ensure Unique Name !	Spaces	No	No	Naming	Name Spaces	
	÷	Mu Viliox Policy		🗹 🧕 Use Separate Declara	tion Style	No	No	Style	Declaration Style	
	ä	EDNC Policy		🗹 🧕 Use Separate Stateme	ant Style	No	No	Style	Statement Style	
	i i	EDNC_RuleSet		🔽 🗓 Use Statement Labels		No	No	Labels	Statement Labels	
		- ♥ (0) Coding Practice ♥ (0) Design Reviews ♥ (0) Safe Synthesis	i							
	÷	Verification_OVM_Policy								
	÷	Verification_UVM_Policy								
	🗵 🛄 B	uleSets								
		Altera								
	•	DD-254								
	A	Essentials								
	• 4	0 EDNC_RuleSet								
	• 4	😰 RMM								
	• 4	Bafety-Critical		Parameters of Configured Rule	e : Ensure (	Consistent File	Header			
		Venhcation_UVM		Parameter	Value					
		Verification_SV		ଓଡ଼ି Name	Ensure Cor	nsistent File H	eader			
		A Xiinx		🕼 Seventy	Warning					
	👿 🧙 B	ase Rules		🐼 Score	2					
		Allow		ଏହି Weight	1					
		Assignments		🚱 Language	VHDL Any	Verilog Any				
		Case		ેલે Hint	Use a file h	eader matchi	ng the specifie	d template.		
		Commonte		W Short Description	Ensure tha	t there is a file	header match	ning a specific template.		
		Complexity		W Keywords	file, header	comment S	ustern/Verilaa			
		Conditions		Applies To	<top th="" units<=""><th>&gt;. &lt; Other Uni</th><th>ts&gt;</th><th></th><th></th><th></th></top>	>. < Other Uni	ts>			
		Configurations		W Fields	convrights	author descr	iption dialect			
	C	👌 Dead Logic		Allow Blank Lines	No					
		Declarations		W Template						
		Urectives		Regular Expression Variab	comment h	oken="!//"	text=""" uear	="[0-9]{4}" company="A	BC" name="* *"	
	FSM		Match Case	Match Case No				erer y realfle <sup></sup> y		
		Hierarchy		Allow Mismatched Whiteer	Yer					
		linstances		All whom missingrouped writinest	100					

예를 들어 Design Reviews 에 포함된 Ensure Consistent File Header 의 Parameter 를 살펴보겠습니다.

중요한 부분은 Fields 와 Template 그리고 Regular Expression Variables 입니다.

Fields 를 더블 클릭하여 살펴보면, 4 가지(copyrights, author, description, dialect) Field 를 통해 DesignChecker 를 진행하고 있으며, 코딩 양식을 확인 할 수 있습니다.

🔣 Values for "Fields" parameter					
Fields:	Field "dialect":				
<ul> <li>✓ copyrights</li> <li>✓ author</li> <li>✓ description</li> <li>✓ dialect</li> </ul>	VHDL Dialect: #(dialect)	~			
New Rename Delete		~			
	OK Cancel Help				

Template 를 보면 -- 로 처리가 되어있는데, Verilog 의 경우 주석처리는 // 로 해야 하기 때문에 수정이 필요합니다.

nter text value:	
&(copyrights)	
author)	
k(description)	
k(dialect)	

Regular Expression Variables 를 살펴보면 아래와 같습니다.

Please					
<pre>       <none>       </none></pre> <pre>       <none>       </none></pre> <pre>       </pre>	Select All           Comment 처리는 혹은 // 로 되어있어야 함           * 이므로 아무 입력이 들어와도 됨           0~9 사이에 4개의 값           회사명 ABC 로 설정(변경 필요!!)           * 이므로 아무 입력이 들어와도 됨           VHDL '87 혹은 VHDL '93 으로 설정해야 함(변경 필요!!)           0~9까지 2자리, 2자리, 4자리 입력(Ex. 14-07-2009)				
✓ date_time="[0-9]{2}-[0-9]{2}-[0-9]{4} [0-9]{2}:[0-9]{2}:"         Custom Parameter:         OK	0~9까지 2자리, 2자리, 4자리, 2자리:2자리 입력(Ex. 05-01-2009 13:24) Cancel Help				

Verilog 유저 인 경우 VHDL 로 설정할 수 없기 때문에, Parameter 를 수정해야 해야 합니다. 수정 후 저장 및 Set as Default 설정 후 검사를 진행하시면 됩니다.

