

Contents

1. Questa Base 소개
2. QuestaSim 제품군 비교
3. Questa Base 기능
4. Questa Base 비교
5. Technical Support 안내

ModelSim DE 유저를 위한 더 나은 HDL 설계를 위한 변화

QUESTA BASE

Questa Verification Solution 의 핵심 구성 요소

Questa Base 는 ModelSim 사용자를 위한 차세대 시뮬레이터로, 기본적인 디지털 시뮬레이션 및 기능 검증을 제공하는 제품입니다.

주요기능

HDL 시뮬레이션

- Verilog, VHDL, SystemVerilog 등 다양한 HDL 언어 지원
- 혼합 언어 설계의 시뮬레이션 가능

Advanced 디버깅

- Questa Visualizer 와 통합
- 조건부 Breakpoint 및 Expression 작성을 통한 효과적인 디버깅
- Waveform 분석, FSM 분석 등 직관적인 GUI 환경 제공

Code Coverage 분석

- 코드 커버리지 분석 제공
- 테스트 검증 품질 향상

시뮬레이션 성능 최적화

- -qbase_tune 옵션을 통해 시뮬레이션 성능 최적화
- 빠르고 효율적인 검증 환경 제공

Assertion 기반 검증(ABV)

- SVA(SystemVerilog Assertion) 및 PSL(Property Specification Language) 지원
- 소스 코드에 내장하거나 별도 단위로 작성 후 모듈 인스턴스에 바인딩 가능

고급 최적화 및 생산성

- Qrun Flow 지원
- VHDL 및 Verilog 컴파일러와 최적화 도구를 자동으로 호출
- 복잡한 명령어 설정 없이 간소화된 시뮬레이션 실행 가능

강력한 풀 오프라인 디버깅 지원

ModelSim은 제한된 오프라인 디버깅을 제공하지만, Questa Base는 다른 QuestaSim 제품과 동일하게 Visualizer 를 포함하여 강력한 풀 오프라인 디버깅과 직관적인 디버깅 환경을 지원합니다.

ModelSim Limited offline debug

ModelSim interface showing design hierarchy, source code, and waveforms. The design hierarchy is on the left, source code is in the top right, and waveforms are in the bottom right.

browse design by hierarchy, objects and source code

cross probe with waveforms

Questa Base (Visualizer) Full offline debugging

driver/receiver tracing from wave and source code

schematics with smart hierarchical flattening

FSM debug & cross probing

design search by type

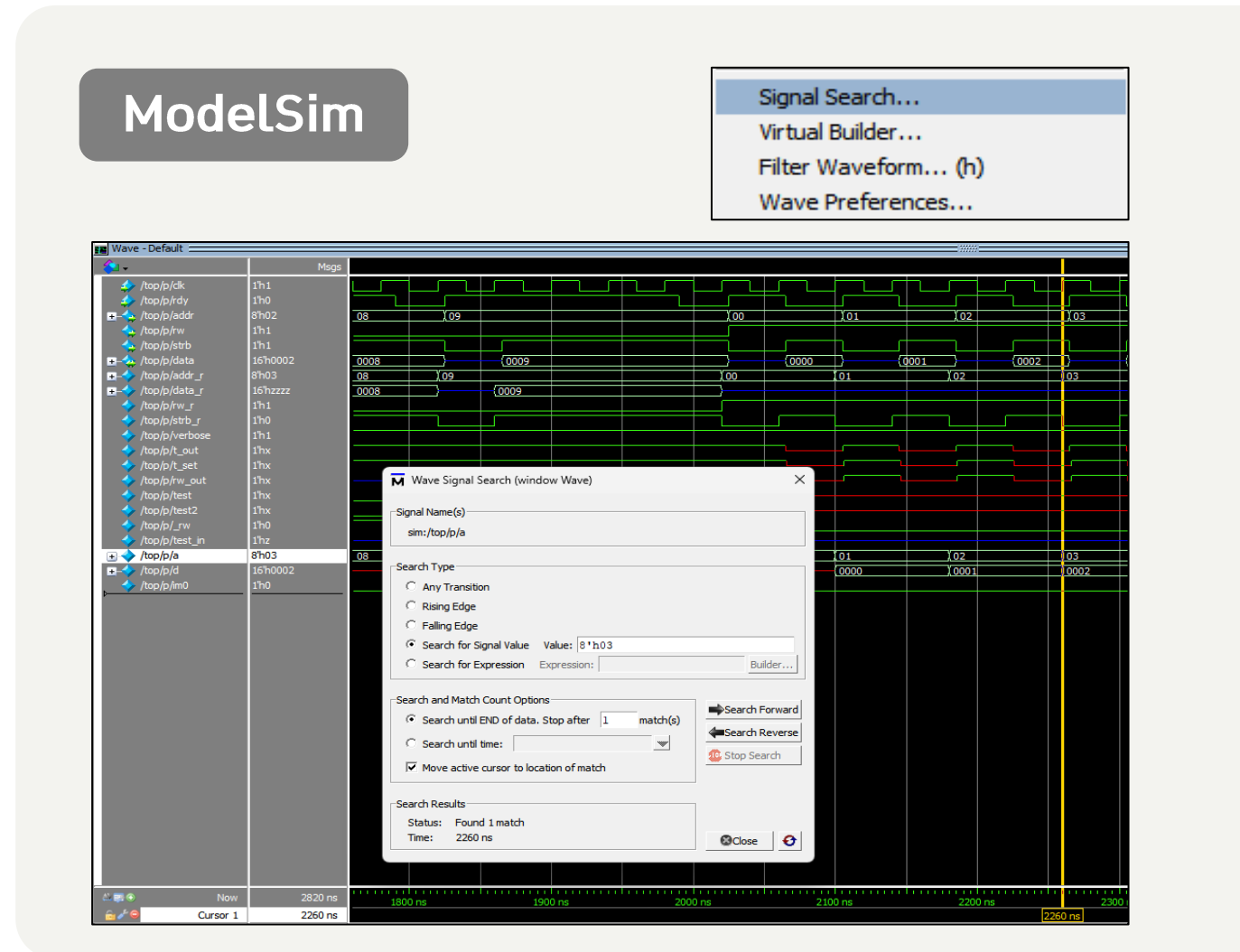
schematic exploration with smart pruning

waveforms with cross probing & biometric search

Wave Window

- Search for Value on Signals, Grid a signal 기능

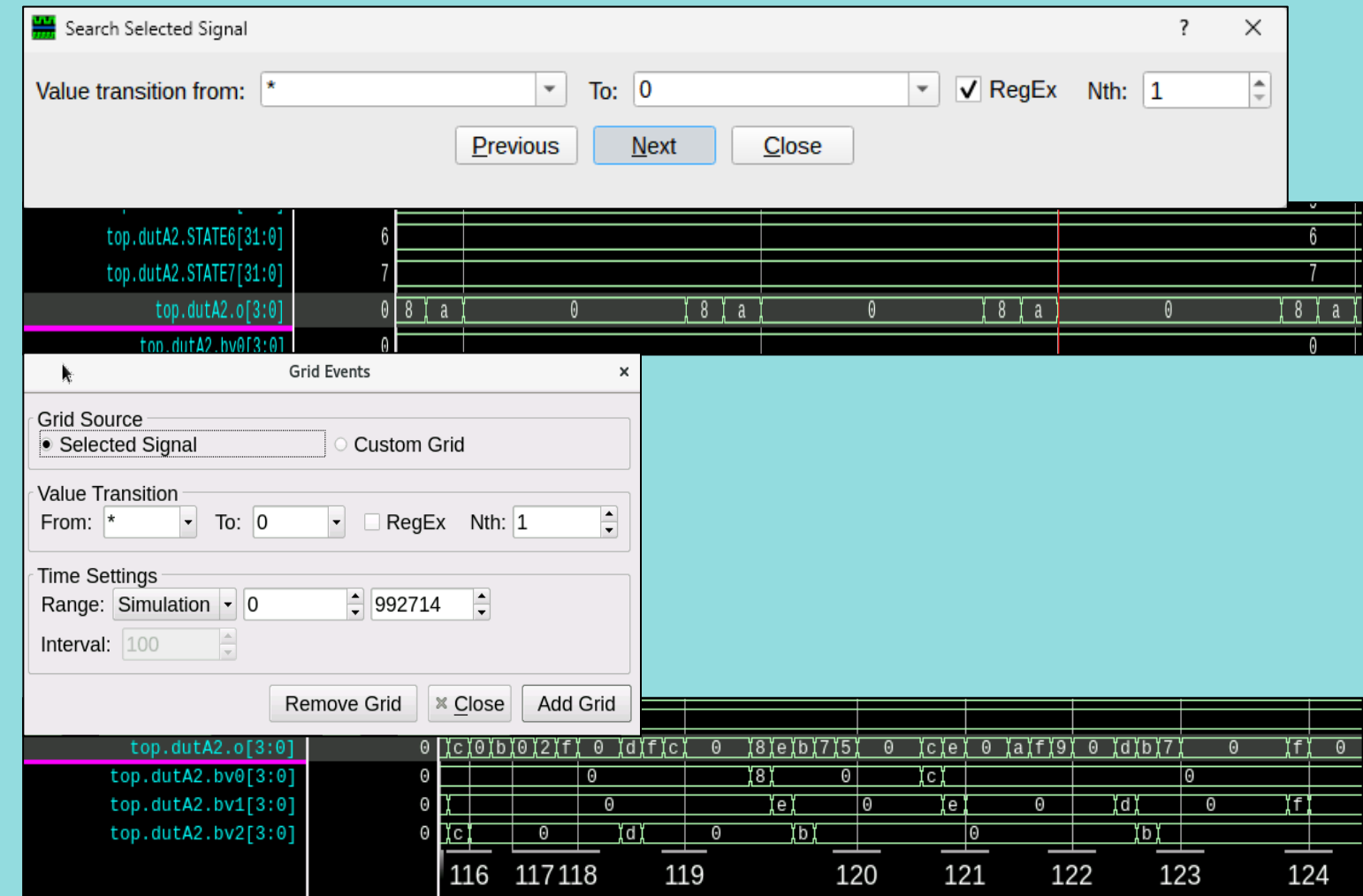
시뮬레이션 결과나 시간 축에서 특정 값을 빠르게 탐색하고 분석할 수 있고, 여러 신호가 동시에 어떻게 변화하는지 분석하기 위해 정렬된 형식으로 표시할 수 있습니다.



Grid Events 패널 제공

Questa Base (Visualizer)

- 신호 값의 변화를 직관적으로 파악할 수 있는 Grid Events 패널을 제공
- 신호 값의 From-To Transition 조건을 설정하여 특정 변화를 빠르게 탐색
- 여러 신호가 시간 축에 따라 어떻게 변화하는지를 Grid 형식으로 표시(체계적으로 분석 가능)

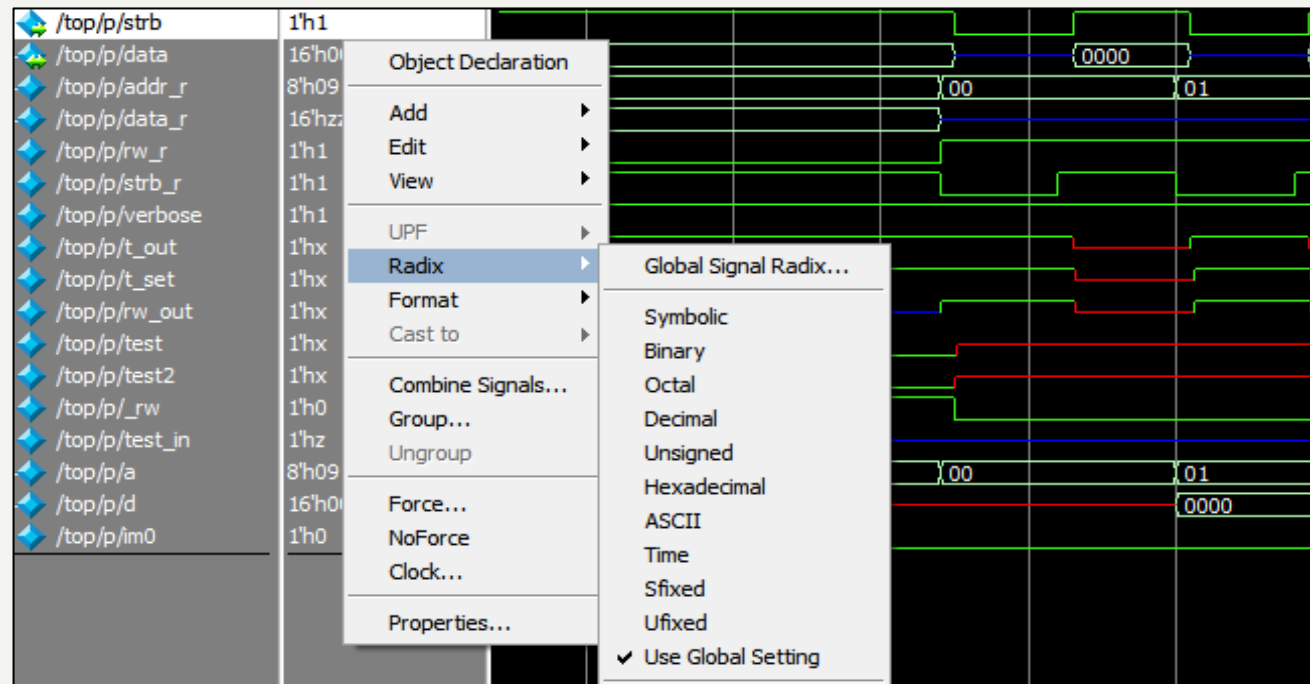


Wave Window

- Radix 기능

신호의 값을 표시하는 진법을 설정할 수 있습니다.

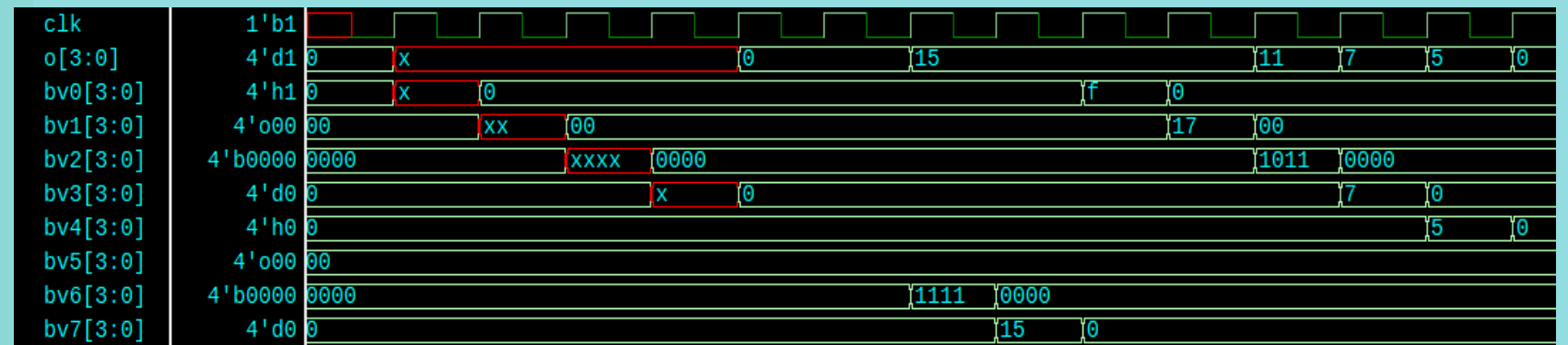
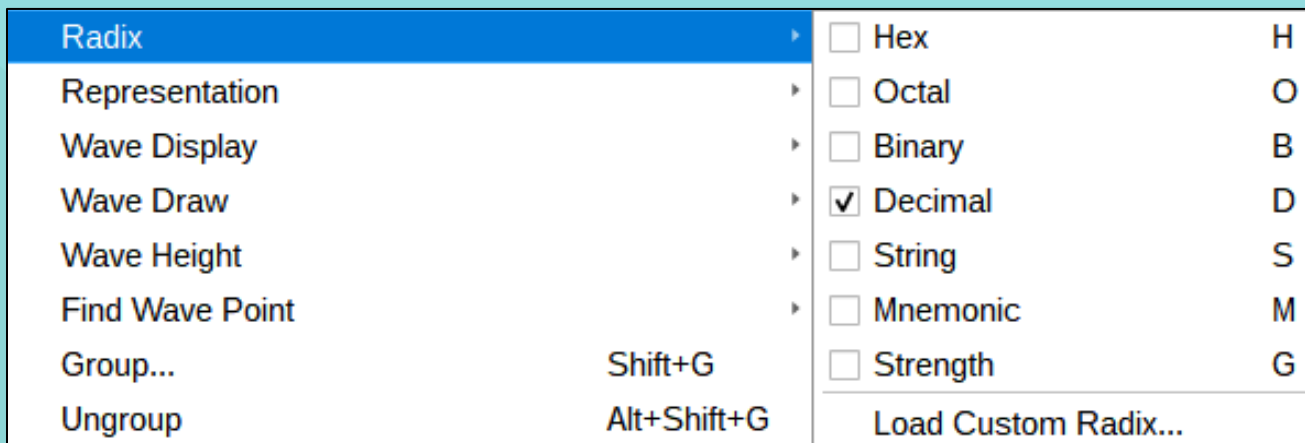
ModelSim



직관적 GUI 패널 제공

Questa Base (Visualizer)

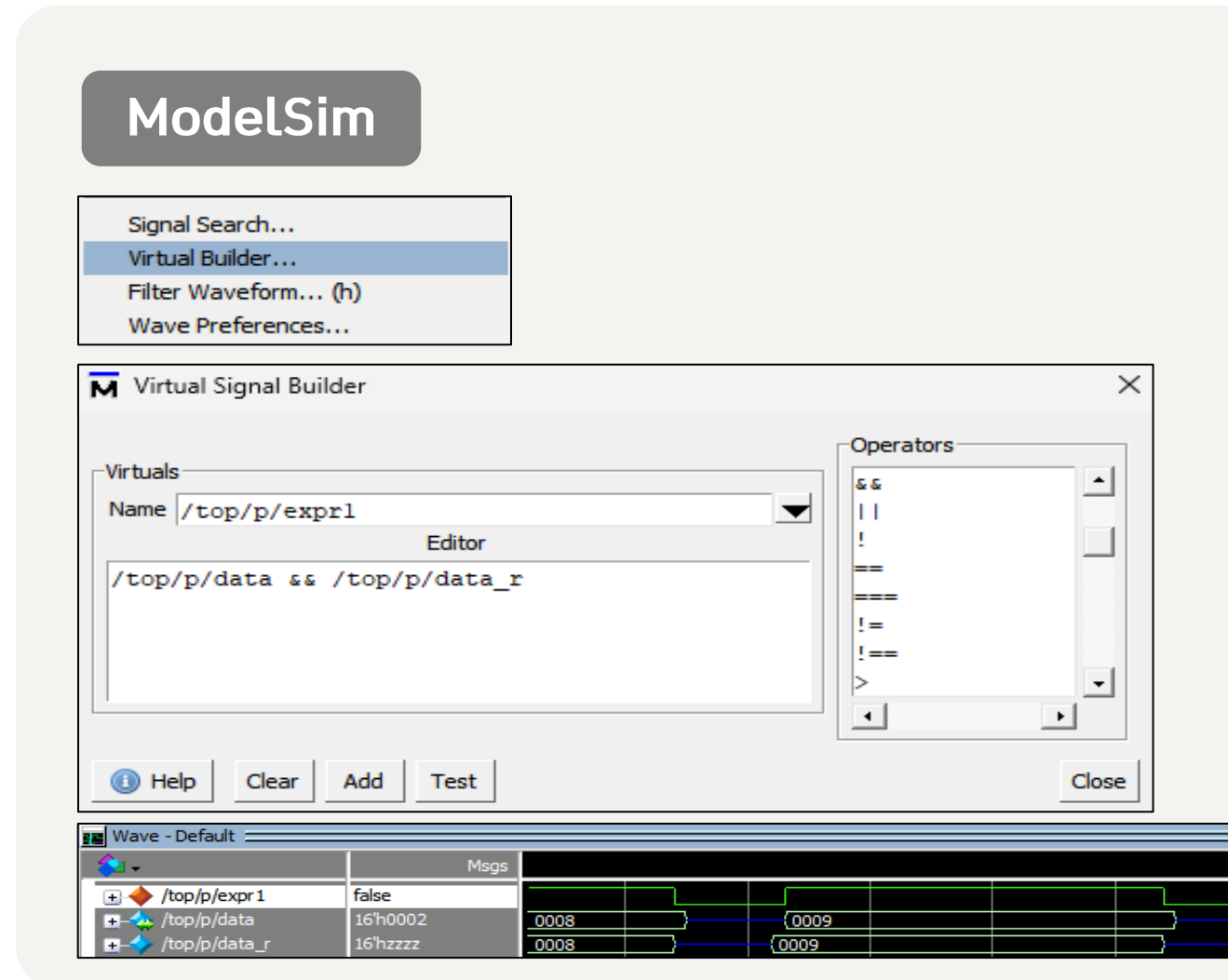
- 신호의 Radix 를 쉽게 변경할 수 있는 직관적인 GUI 를 제공
- 단축키 (예: Binary - B) 를 사용하여 더 빠르게 원하는 형태의 Radix 로 전환 가능



Wave Window

- Expressions 기능

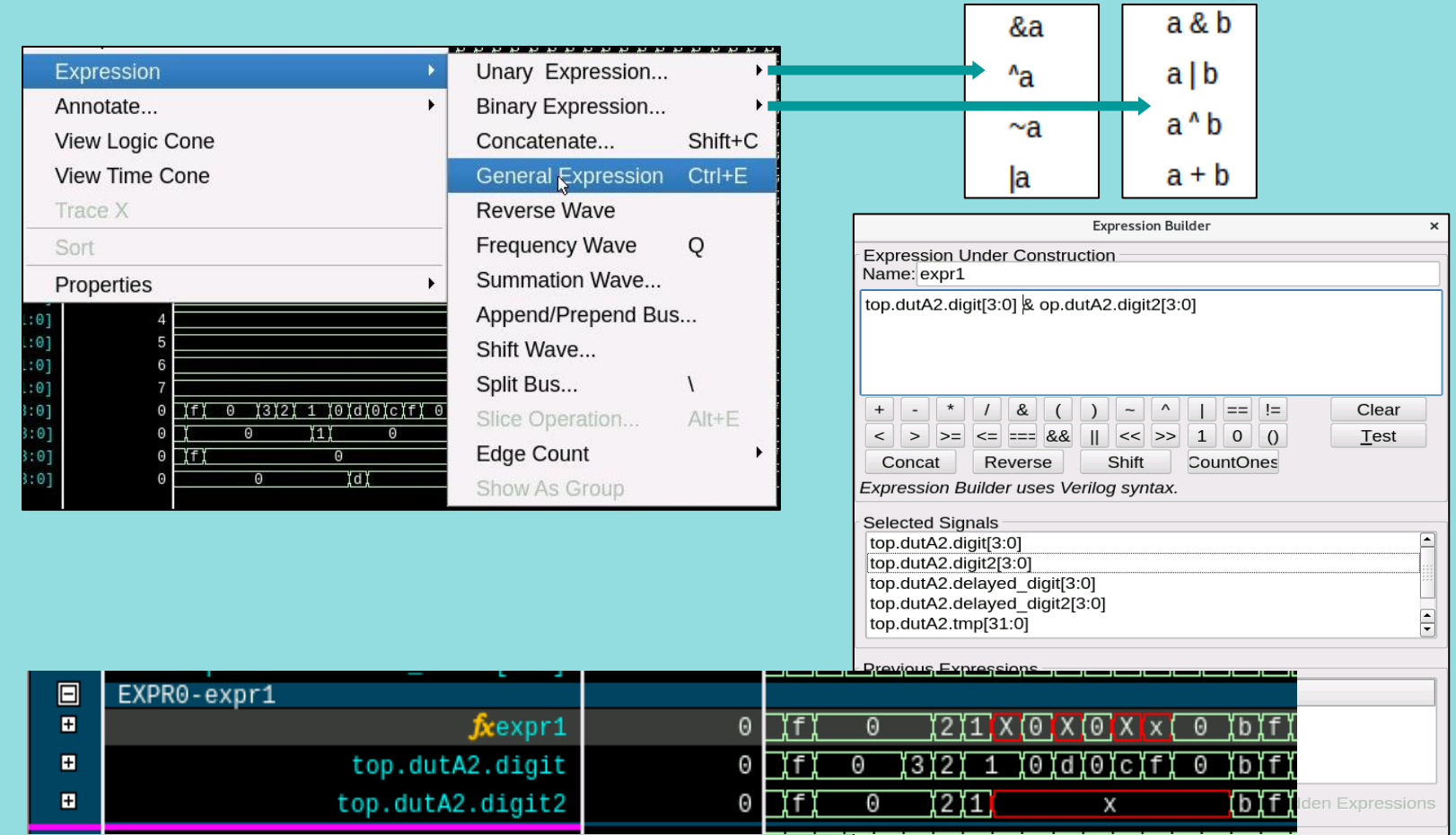
특정 조건이나 연산식을 정의해서 파생된 신호를 생성하고 시뮬레이션에서 확인할 수 있습니다. 이로 인해 복잡한 조건의 검증이나 특정 데이터의 변화를 시각적으로 분석할 때 유용합니다.



Expression Builder

Questa Base (Visualizer)

- 직관적이고 사용자 친화적인 Expression Builder 를 제공
- 복잡한 식을 입력할 때 실수를 줄이고 빠르게 작성 가능
- 여러 개의 Expression 을 동시에 관리하고 비교
- 이로 인해 여러 신호 간의 관계를 더 쉽게 분석 가능



Code Coverage

설계된 HDL 코드의 검증 품질을 평가하는 데 사용되며, 테스트 벤치가 설계 코드의 어떤 부분을 실행했는지 확인할 수 있고, 이를 통해 테스트의 포괄성을 측정하고 검증되지 않은 영역을 찾아낼 수 있습니다.

ModelSim

Name	Specified path	Full path	Type	Stmt Count	Stmnt Hits	Stmnt %	Stmnt Graph	Branch Count	Branch Hits	Branch %	Branch Graph	Condition
sim	vsim.wif	C:/Sieme...										
beh_sram.v	beh_sram.v	C:/Sieme... verilog		6	5	83.33	<div style="width: 83.33%;"></div>	9	8	88.89	<div style="width: 88.89%;"></div>	
sm_seq.v	sm_seq.v	C:/Sieme... verilog		16	15	93.75	<div style="width: 93.75%;"></div>	13	12	92.31	<div style="width: 92.31%;"></div>	
sm.v	sm.v	C:/Sieme... verilog		25	22	88.00	<div style="width: 88.00%;"></div>	20	17	85.00	<div style="width: 85.00%;"></div>	
test_sm.v	test_sm.v	C:/Sieme... verilog		77	70	90.91	<div style="width: 90.91%;"></div>					

직관적인 코드 커버리지 분석

Questa Base (Visualizer)

- 보다 직관적이고 시각적인 코드 커버리지 분석 기능을 제공
- 커버리지 결과를 그래픽적으로 표현해서 사용자가 쉽게 커버리지 상태를 확인 가능
- 사용자 시각 요소로 빠르게 코드 테스트 여부, 실행 여부를 파악 가능

Design hierarchy	Total Coverage%	Statement%	Branch%
...inst:(eth_registers_cov)	22.64%	100.00%	
maccontrol1:(eth_maccontrol)	21.28%	59.11%	
macstatus1:(eth_macstatus)	24.68%	63.79%	
mim1:(eth_mim)	33.79%	84.12%	
clkgen:(eth_clockgen)	60.58%	100.00%	
outctrl:(eth_outputcontrol)	53.70%	100.00%	
shfrgr:(eth_shiftrreg)	21.35%	41.66%	
rxethmac1:(eth_rxethmac)	20.75%	80.58%	
crxrc:(eth_crc)	48.45%	96.96%	
...eck1:(eth_rxaddrcheck)	15.67%	53.33%	

Covergroup	Included	Coverage	Goal	% of Goal
...pkg/eth_rxbd_jen/rxbd_frm_cvg		0.00%	100%	0%
...cov_rxstate_inst/large_pkts_cvg		0.00%	100%	0%
...d_ram/bd_cov_inst/BdRam_Cvg	I	40.00%	100%	40%

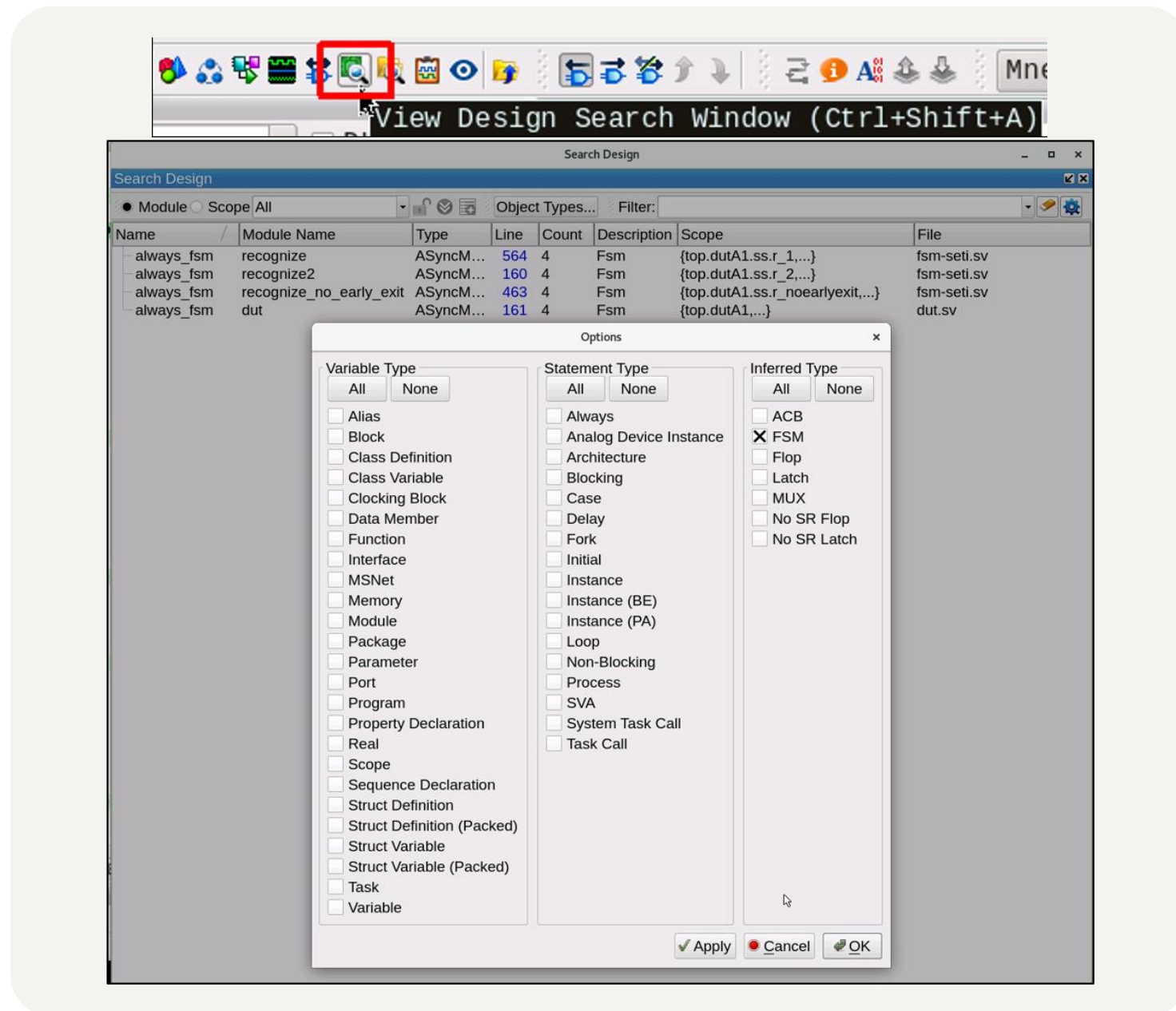
Name	Included	Coverage	Goal	% of Goal
...hbone/bd_ram/bd_cov_inst/BdRam_Cvg	I	40.00%	100%	40.00%
ADDR	I	100.00%	100%	100.00%
DIN	I	0.00%	100%	0.00%
WrRd	I	50.00%	100%	50.00%
wrXadd	I	50.00%	100%	50.00%
wrXdin	I	0.00%	100%	0.00%
...ishbone/bd_ram/bd_cov_inst/Bd_cvg	I	40.00%	100%	40.00%
ADDR	I	100.00%	100%	100.00%
DIN	I	0.00%	100%	0.00%
WrRd	I	50.00%	100%	50.00%
wrXadd	I	50.00%	100%	50.00%
wrXdin	I	0.00%	100%	0.00%

Total Coverage

26.03% covered / 73.97% missed

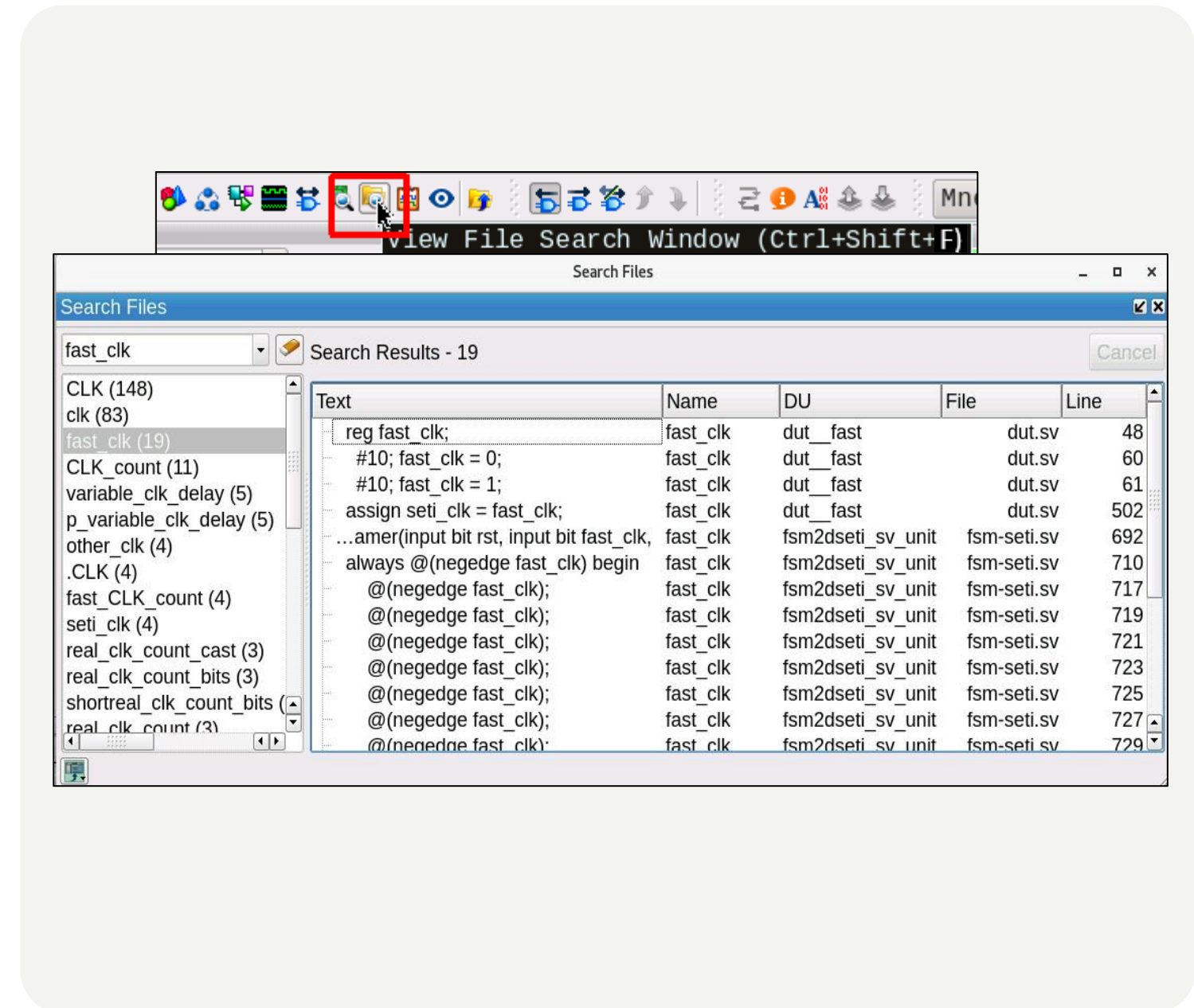
Search Design Window (By Design Type)

Ctrl + Shift + A 단축키를 누르면 Search Design 창을 띄울 수 있으며 디자인 유형별로 검색이 가능합니다.



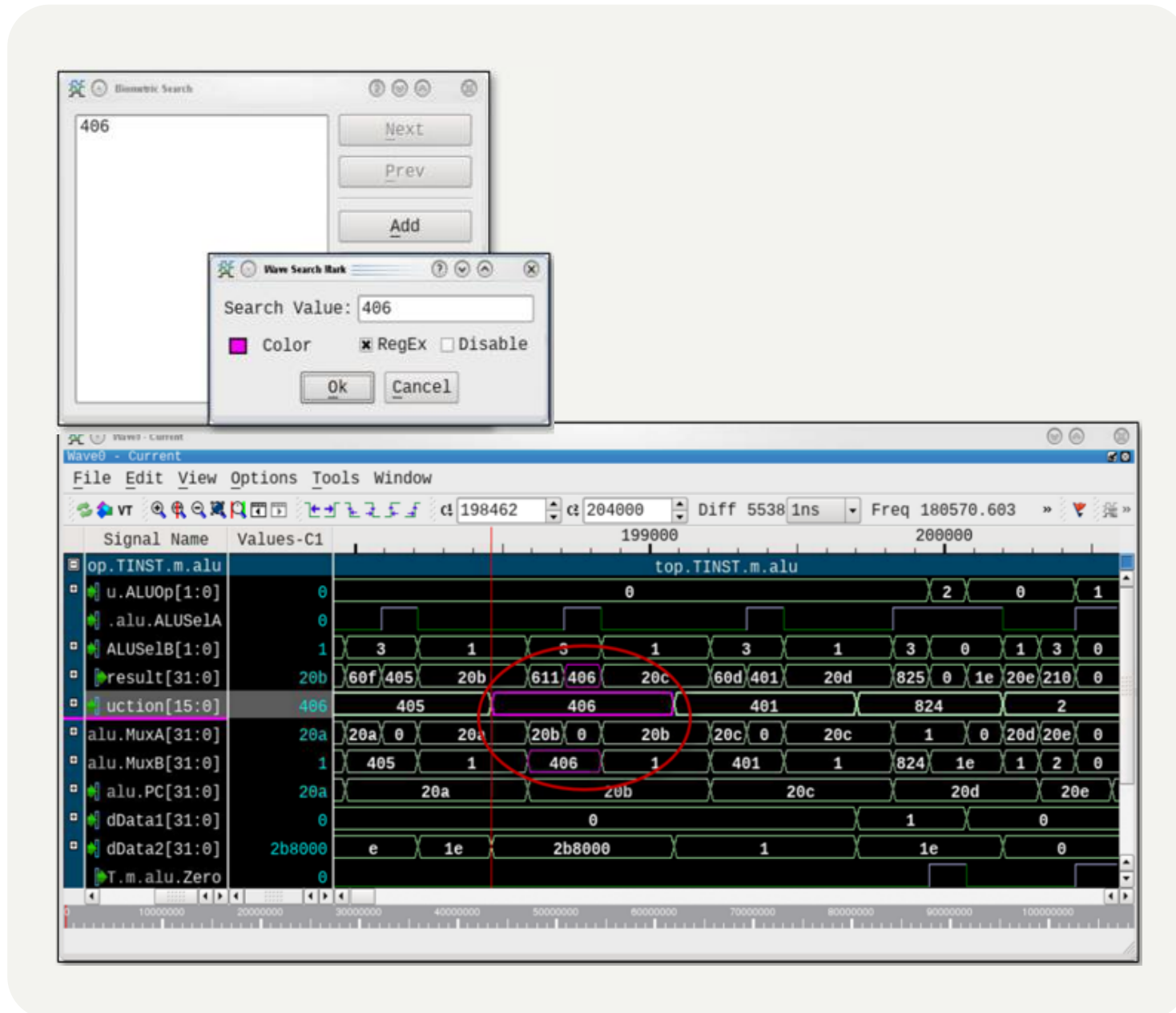
Search File Window (In All Files)

Ctrl + Shift + F 단축키를 누르면 Search Files 창을 띄울 수 있으며 모든 파일에서 원하는 텍스트 검색이 가능합니다.



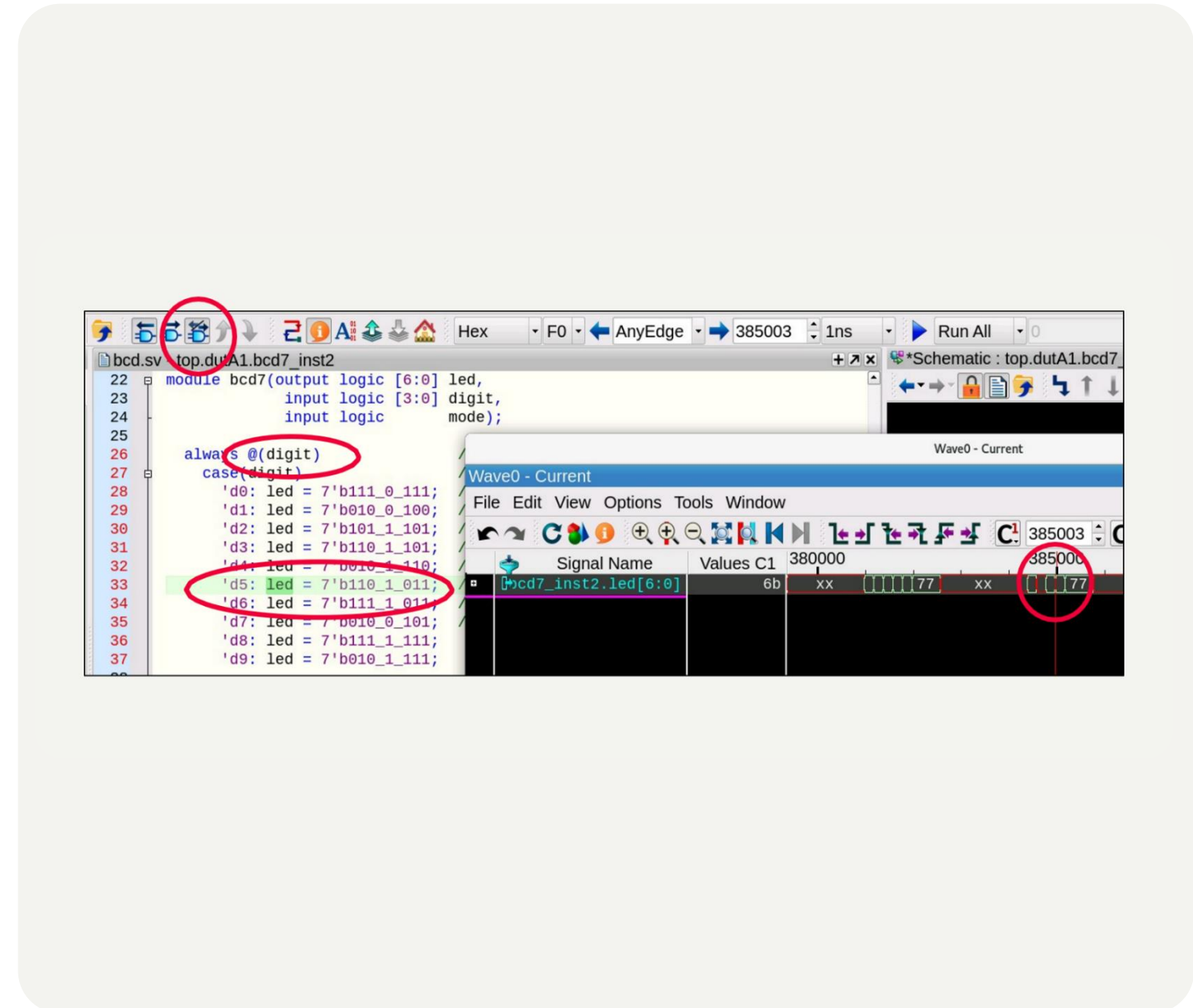
Biometric Search

모든 창에서 검색 및 필터링하여 object 를 찾을 수 있고, waveforms 에서 명확하게 강조 표시되도록 검색에 색상 태그를 추가할 수 있습니다.



Active Driver-Receiver Tracing

선택한 object 또는 variable 에 대한 Display drivers 또는 receivers 할 수 있습니다.



FSM Window

Finite State Machine 을 시각적으로 분석할 수 있으며, 상태 전이 다이어그램을 제공하고 특정 상태 또는 전이를 검색하고 강조할 수 있습니다.

View FSM Window (Ctrl+Shift+X)

Fsm states	
Name	Status
RESET	-
SAW_1_PRIME	-
SAW_2_PRIME	-
REST2	-
SAW_3_PRIME	-
REST1	-
SAW_4_PRIME	-

Fsm transition		
State transition	Transition ID	Condition
RESET -> SAW_1_PRIME	0	((!rst && (nibble == 5)) && !is_prime)
RESET -> RESET	1	((!rst && (nibble == 5)) && !is_prime)
RESET -> RESET	2	(rst && (nibble == 5))
SAW_1_PRIME -> RESET	3	(rst && (nibble == 5))
SAW_1_PRIME -> RESET	5	((!rst && (nibble == 7)) && !is_prime)
SAW_1_PRIME -> RESET	6	((!rst && (nibble == 7)) && !is_prime)
SAW_1_PRIME -> SAW_2_PRIME	4	((!rst && (nibble == 7)) && !is_prime)
SAW_2_PRIME -> REST2	3	(rst && (nibble == 5))

```

45 parameter RESET = 0;
46 parameter SAW_1_PRIME = 1;
47 parameter SAW_2_PRIME = 2;
48 parameter SAW_3_PRIME = 3;
49 parameter SAW_4_PRIME = 4;
    
```

Logic Cone

신호 간의 물리적 연결을 분석하며, low level 연결을 확인할 수 있습니다. 회로도를 구성할 수 있고, Value Annotation 및 다양한 제어 기능을 제공합니다.

Show Logic Cone

- Show Time Cone
- Show Trace X
- Show Property Analyzer (Ctrl+4)
- Undo (Ctrl+Z)
- Redo (Ctrl+Y)
- Cut (Ctrl+X)
- Copy (Ctrl+C)
- Copy Special
- Paste (Ctrl+V)
- Delete (Del)
- Remove All

05

ModelSim 과 Questa Base 의 주요 기능 비교

기존 ModelSim보다 더 많은 기능을 지원하고 더 강력한 기능으로 업그레이드 되었습니다.

Feature	Questa Base	ModelSim DE
SVA (SystemVerilog Assertion)	✓	✓
PSL (Property Specification Language) assertions	✓	✓
Checkpoint and restore	✓	✗
Advanced FSM debug	✓	✗
Coverage collection SVA PSA	✓	✗
Performance profiling	✓	Option
Visualizer (premium debug)	✓	✗
C Code debug	✓	Option
On-demand loading	✓	✗
Logic cone	✓	✗
“Dense clock” handling	✓	✗
Active signal tracing	✓	✗
Driver tracing	✓	✗

Feature	Questa Base	ModelSim DE
Performance optimization	✓	✗
Post simulation debug	✓	Option
Qrun	✓	✗
Verilog, VHDL simulation	✓	✓
Mixed language simulation	✓	Option
Code coverage	✓	✓
Interactive waveform	✓	✓
Windows / Linux	64 bit	32 bit
Design Search	✓	✗
Biometric Search	✓	✗
Virtual Expression Builder	✓✓✓	✓
Waveform Debug	✓✓✓	✓
Waveform DB size	compact	3x larger

우리 (주)이디앤씨는 제품에 대한 안내 및 기술 상담, 교육, 기술지원을 시스템을 지원하며 여러분의 어려움을 적극적으로 돕고 있습니다.



제품 구매 문의

- TEL. 02-2069-0099
- Email. ednc-sales@ednc.com



기술 문의 및 교육 안내

기술 문의 및 상담과 고객분들의 어려움을 즉각 대응하고자 기술지원센터와 교육지원센터를 운영하고 있습니다. 언제든지 문의사항이 있으시면 연락주세요.

- 관련 기술 문의 및 상담
- 관련 기술 습득을 위한 교육 문의
- 사용 중 발생 문제 해결을 위한 전화 및 원격지원



Contact 및 담당 엔지니어

- 담당 엔지니어 : ED&C 김아현
- Tel. 02-2069-0099
- Email : ah.kim@ednc.com